

PAT-NO: JP02000349303A
DOCUMENT-IDENTIFIER: JP 2000349303 A
TITLE: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR
SUBSTRATE
PUBN-DATE: December 15, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
GOTO, YOSHITAKA	N/A
FUJII, TETSUO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
DENSO CORP	N/A

APPL-NO: JP2000144650

APPL-DATE: March 30, 1990

INT-CL (IPC): H01L029/84, H01L021/76 , H01L027/04 , H01L021/822 ,
H01L021/8222 , H01L027/06 , H01L029/04

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor device having a thin film part excellent in intelligence trend and high level integration.

SOLUTION: In this device, a diaphragm is set with a single crystal silicon substrate 1 subjected to diaphragm etching. On the substrate 1, an epitaxial layer 8 of a <111> face which turns into a bipolar transistor forming region, and a single crystal silicon substrate 3 which has a <110> face different from the face orientation of the epitaxial layer 8 and turns into a piezoelectric resistance layer forming region, are formed. The bipolar transistor forming region is isolated from the piezoelectric resistance layer forming region by a trench 4.

COPYRIGHT: (C)2000,JPO

2000-349303

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the semiconductor pressure sensor in which the piezoresistance was formed, concerning the semiconductor device which has a thin-walled part.

[0002] Moreover, this invention relates to the semiconductor base suitable for high integration and intelligent-ization.

[0003]

[Description of the Prior Art] Although high integration and intelligent-ization have been required in semiconductor devices, such as an integrated circuit, in recent years, what fills these demands is not appearing.

[0004]

[Problem(s) to be Solved by the Invention] The purpose of this invention is to offer the semiconductor device excellent in intelligent-izing and high integration, and a semiconductor base. It is in offering the thing suitable for the semiconductor device which has a thin-walled part especially.

[0005]

[Means for Solving the Problem] If the composition of this invention is explained, it has the thin-walled part and supporter of single crystal silicon, and has the 1st single-crystal-silicon section which formed the piezoresistance on the aforementioned thin-walled part at least, and the 2nd single-crystal-silicon section which formed the circuit element in the above-mentioned supporter, and the single-crystal-silicon section of these 1st and the 2nd single-crystal-silicon section are separated by the slot. Such composition can attain the high integration in the semiconductor device which has a thin-walled part, or intelligent-ization.

[0006] Moreover, in a slot, it is desirable as a semiconductor device that an insulator is arranged.

[0007] Moreover, in case a piezoresistance is prepared in a thin-walled part as the 1st single crystal section is <110> sides, it is desirable on a property.

[0008] Moreover, when a thin-walled part and a supporter are supported by the support substrate through an insulator layer, they are desirable as intelligent-izing.

[0009] Moreover, formation is easy in an insulator layer being a silicon oxide, and it is desirable.

[0010] Moreover, since the semiconductor substrate of a different field direction is stuck through an insulating layer according to the semiconductor base of this invention While being able to obtain the semiconductor base which has various field directions according to a use In such a base, since etching can be stopped in an insulator layer when the semiconductor substrate which has the 1st field direction is etched from the front face, it is easy to form an isolation field etc. and it excels in high integration and intelligent-ization.

[0011]

[Embodiments of the Invention] The operation gestalt which applied this invention to the pressure sensor is explained below using a drawing.

[0012] A semiconductor pressure sensor is shown in drawing 1, and the manufacture method is shown in drawing 2 - drawing 7.

[0013] As shown in drawing 2, the single-crystal-silicon substrate 1 which has a <100> side direction, and the single-crystal-silicon substrate 2 of the P type which has a <111> side direction are prepared, and the single-crystal-silicon substrate 2 is directly joined to the front face of the single-crystal-silicon substrate 1. And mirror polishing of the front face of the single-crystal-silicon substrate 2 is carried out, and it is made predetermined thickness.

[0014] Next, as shown in drawing 3, the single-crystal-silicon substrate 3 which has the <110> side direction of N type is directly joined to the front face of the single-crystal-silicon substrate 2. And mirror polishing of the front face of the single-crystal-silicon substrate 3 is carried out, and it is made predetermined thickness. Then, the slot 4 with a width of face of 1.5 micrometers is formed in the surroundings of the element formation field (diaphragm formation field) A of the single-crystal-silicon substrate 3 using trench technology. That is, the slot 4 which forms a silicon oxide 5 in the front face of the single-crystal-silicon substrate 3, forms a mask pattern using the usual photolithography, and results in a plane of composition with the single-crystal-silicon substrate 2 with a trench is formed.

[0015] Then, a P type impurity is diffused by using this silicon oxide 5 as a mask, and the diffusion layer 6 of P+ is formed in a slot 4. The piezoresistance layer and circumference element which are later mentioned according to this P+ diffusion layer 6

are separated electrically.

[0016] Next, as shown in drawing 4, the silicon oxide 7 with a thickness of 1 micrometer is formed in the front face of the single-crystal-silicon substrate 3 which includes the inside of a slot 4 by thermal oxidation. In order that the wall of a slot 4 may oxidize from both sides at this time, the inside of a slot 4 is filled with a silicon oxide 7 by thermal oxidation. Moreover, the thickness of the single-crystal-silicon substrate 3 is set to 5 micrometers.

[0017] And as shown in drawing 5, photolithography removes silicon oxides 7 other than the element formation field A of the single-crystal-silicon substrate 3. Furthermore, single crystal silicon 3 other than the element formation field A is *****ed with alkali solutions, such as KOH and EPW, by using the silicon oxide 7 of the element formation field A which remained as an etching mask. At this time, as for alkali etching, an etch rate changes with field directions of silicon, for example, <111> sides drop to 1/several 100 to <100> sides. Thereby, when the single-crystal-silicon substrate 2 is exposed, etching stops.

[0018] In addition, in case the single-crystal-silicon substrate 2 and the single-crystal-silicon substrate 3 are joined, a silicon oxide may be formed in a junction interface and you may make it join through this silicon oxide. In this case, when a silicon oxide is exposed, etching of the single-crystal-silicon substrate 3 stops.

[0019] Next, as shown in drawing 6, the epitaxial layer 8 of N type is formed 10 micrometers or more in thickness on the single-crystal-silicon substrate 2. Then, as shown in drawing 7, specified quantity removal of the front face of an epitaxial layer 8 is carried out by mirror polishing, and a silicon oxide 7 is exposed in the state with a flat front face.

[0020] After that, as shown in drawing 1, fluoric acid removes the silicon oxide 7 of the upper surface of the single-crystal-silicon substrate 3, further, the upper surface of an epitaxial layer 8 is ground and the upper surface of the single-crystal-silicon substrate 3 and the upper surface of an epitaxial layer 8 are made into the same field. Then, anisotropic etching is performed using etching reagents, such as KOH, from the rear-face side of the single-crystal-silicon substrate 1, and the diaphragm by the single-crystal-silicon substrates 2 and 3 is formed. And four piezoresistance layers 9 are formed in the single-crystal-silicon substrate 3 (diaphragm), and a bridge circuit is formed. Furthermore, circumference circuits, such as a temperature-compensation circuit which becomes an epitaxial layer 8 from bipolar transistors 10 and 11, are formed. Furthermore, wiring layer 12 grade is formed and a semiconductor pressure sensor is completed.

[0021] and the circumference circuit which changes electrically the pressure which joins a diaphragm in the piezoresistance layer 9 in the case of a pressure survey, and contains bipolar transistors 10 and 11 -- temperature compensation -- and it is amplified and taken out

[0022] Thus, it sets to the semiconductor pressure sensor of this operation form. The single-crystal-silicon substrate 3 which has <110> sides in the state where a part of smooth side of this single-crystal-silicon substrate 2 is exposed to the smooth side of the single-crystal-silicon substrate 2 which has <111> sides is joined. On the smooth side of the single-crystal-silicon substrate 2, specified quantity removal of the epitaxial growth phase 8 was carried out, and the single-crystal-silicon substrate 3 from which a front face serves as a bipolar transistor formation field in the smooth state was exposed.

[0023] Consequently, it has the single-crystal-silicon substrate 3 which is exposed to a substrate front face, is exposed to the epitaxial layer 8 and substrate front face of the <111> sides used as a bipolar transistor formation field, and has different <110> sides from the field direction of an epitaxial layer 8, and serves as a piezoresistance layer formation field, and the semiconductor pressure sensor from which a slot 4 comes to dissociate a bipolar transistor formation field and a piezoresistance formation field is manufactured.

[0024] In this equipment, while the piezoresistance layer 9 is formed in the single-crystal-silicon substrate 3 of <110> sides, bipolar transistors 10 and 11 can be formed in the epitaxial layer 8 of <111> sides.

[0025] That is, while the piezoresistance layer 9 can arrange in the <110> sides excellent in the device property, bipolar transistors 10 and 11 can arrange in the <111> sides excellent in the device property. And these piezoresistances layer 9 and bipolar transistors 10 and 11 can arrange through a slot 4.

[0026] Thus, it can consider as the semiconductor device excellent in intelligent-izing and high integration by considering as the arrangement which could be made to pull out the best performance of a piezoresistance layer and each element of a circumference circuit (bipolar transistor), and minded the slot.

[0027] Moreover, since the silicon oxide 7 was formed in the outcrop of the single-crystal-silicon substrate 3 and the epitaxial layer 8 was formed in this state, the epitaxial layer 8 of only the single-crystal-silicon substrate 2 is formed, and there is no disorder of crystal orientation. That is, although the epitaxial layer which grew in the middle of [substrate / single-crystal-silicon / 3 / of <110>] the epitaxial growth from the single-crystal-silicon substrate 2 of <111> will be intermingled and the quality of a crystal will become bad when there is no silicon oxide 7, such a thing is avoided with this operation form.

[0028] Furthermore, with this operation form, although it was not able to form in the square with the sufficient controllability by etching of <110> sides when a diaphragm was formed using anisotropic etching, as conventionally shown in drawing 8, since a field direction is the single crystal silicon of <100>, it *****s with a sufficient controllability and the diaphragm section can be formed in a square.

[0029] Thus, the optimal semiconductor device (this operation form sensor) can be formed by choosing the field direction suitable for each and sticking by sticking the substrate which forms a diaphragm, and the substrate which forms an element.

[0030] Moreover, since BAIPORA was formed as a circumference circuit, although the <111> side direction was used with this operation form, when forming an MOS transistor as a circumference circuit, an advantageous <100> side direction can

be used on a property.

[0031] In addition, this invention is not limited to the above-mentioned operation form, and may be materialized to other semiconductor devices other than a semiconductor pressure sensor.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-349303

(P2000-349303A)

(43) 公開日 平成12年12月15日 (2000. 12. 15)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L	29/84	H 0 1 L 29/84	B
	21/76	29/04	
	27/04	21/76	L
	21/822	27/04	R
	21/8222	27/06	1 0 1 D
審査請求 有 請求項の数 6 O L (全 6 頁) 最終頁に続く			

(21) 出願番号 特願2000-144650 (P2000-144650)
 (62) 分割の表示 特願平2-87115の分割
 (22) 出願日 平成2年3月30日 (1990. 3. 30)

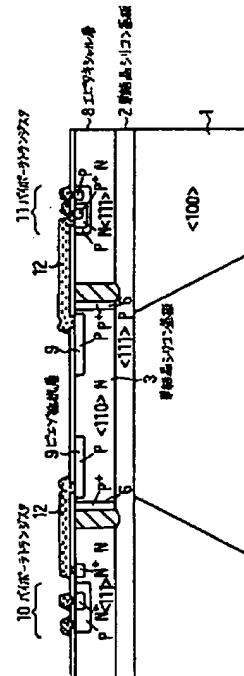
(71) 出願人 000004260
 株式会社デンソー
 愛知県刈谷市昭和町1丁目1番地
 (72) 発明者 後藤 吉孝
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内
 (72) 発明者 藤井 哲夫
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内
 (74) 代理人 100096998
 弁理士 磯米 裕彦 (外1名)

(54) 【発明の名称】 半導体装置及び半導体基体

(57) 【要約】

【課題】 インテリジェント化、高集積化に優れた薄膜部を有する半導体装置を提供すること。

【解決手段】 ダイアフラムエッチングが施された単結晶シリコン基板1によりダイアフラム部が設定され、この基板1上にて、バイポーラトランジスタ形成領域となる<111>面のエピタキシャル層8と、エピタキシャル層8の面方位とは異なる<110>面を有し、かつ、ピエゾ抵抗層形成領域となる単結晶シリコン基板3とを備え、これらバイポーラトランジスタ形成領域とピエゾ抵抗形成領域とが、溝4により分離されることでインテリジェント化、高集積化に優れた半導体圧力センサを得ることができる。



【特許請求の範囲】

【請求項1】 単結晶シリコンの薄肉部とその支持部とを有し、少なくとも前記薄肉部上にピエゾ抵抗を形成した第1の単結晶シリコン部と、上記支持部に回路素子を形成した第2の単結晶シリコン部とを有し、これら第1の単結晶シリコン部と第2の単結晶シリコン部とが溝により分離されていることを特徴とする半導体装置。

【請求項2】 前記溝には絶縁物が設けられていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記第1の単結晶シリコン部は<110>面であることを特徴とする請求項2または3に記載の半導体装置。

【請求項4】 前記薄肉部と前記支持部とは絶縁膜を介して支持基板に支持されていることを特徴とする請求項1乃至3のいずれかに記載の半導体装置。

【請求項5】 前記絶縁膜はシリコン酸化膜である事を特徴とする請求項4記載の半導体装置。

【請求項6】 第1の面方位を有する第1の半導体基板と、第2の面方位を有する半導体基板とを絶縁層を挟んで接合してなることを特徴とする半導体基体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄肉部を有する半導体装置に関し、例えばピエゾ抵抗の形成された半導体圧力センサに関する。

【0002】また、本発明は高集積化・インテリジェント化に適した半導体基体に関する。

【0003】

【従来の技術】 近年、集積回路など半導体装置においては高集積化、インテリジェント化が要求されてきているが、これらの要求を満たすものは現れてきていない。

【0004】

【発明が解決しようとする課題】この発明の目的は、インテリジェント化・高集積化に優れた半導体装置、半導体基体を提供することにある。特に、薄肉部を有する半導体装置に適したものを提供することにある。

【0005】

【課題を解決するための手段】本発明の構成を説明すると、単結晶シリコンの薄肉部とその支持部とを有し、少なくとも前記薄肉部上にピエゾ抵抗を形成した第1の単結晶シリコン部と、上記支持部に回路素子を形成した第2の単結晶シリコン部とを有し、これら第1の単結晶シリコン部と第2の単結晶シリコン部とが、溝により分離されている。このような構成により、薄肉部を有する半導体装置においての高集積化、あるいはインテリジェント化が達成できる。

【0006】また、溝には絶縁物が配置されることが半導体装置として好ましい。

【0007】また、第1の単結晶部が<110>面であると、薄肉部にピエゾ抵抗を設ける際に特性上好まし

い。

【0008】また、薄肉部と支持部とが、絶縁膜を介して支持基板に支持されると、インテリジェント化として好ましい。

【0009】また、絶縁膜がシリコン酸化膜であると形成が容易であり好ましい。

【0010】また、本発明の半導体基体によれば、異なる面方位の半導体基板を絶縁層を介して貼り合わせているので、用途に合わせて様々な面方位を有する半導体基体を得られると共に、このような基体において、例えば第1の面方位を有する半導体基板をその表面からエッチングした際には絶縁膜にてエッチングを停止できるため、例えば素子分離領域を形成することなどが容易であり、高集積化・インテリジェント化に優れている。

【0011】

【発明の実施の形態】この発明を圧力センサに適用した実施形態を図面を用いて以下説明する。

【0012】図1には半導体圧力センサを示し、図2～図7にはその製造方法を示す。

20 【0013】図2に示すように、<100>面方位を有する単結晶シリコン基板1と、<111>面方位を有するP型の単結晶シリコン基板2とを用意し、単結晶シリコン基板1の表面に、単結晶シリコン基板2を直接接合する。そして、単結晶シリコン基板2の表面を鏡面研磨して所定の厚さにする。

【0014】次に、図3に示すように、単結晶シリコン基板2の表面にN型の<110>面方位を有する単結晶シリコン基板3を直接接合する。そして、単結晶シリコン基板3の表面を鏡面研磨して所定厚さにする。引き続き、トレンチ技術を用いて単結晶シリコン基板3の素子形成領域（ダイヤフラム形成領域）Aの周りに幅1.5μmの溝4を形成する。即ち、単結晶シリコン基板3の表面にシリコン酸化膜5を形成し、通常のフォトリソ技術を用いてマスクパターンを形成しトレンチによって単結晶シリコン基板2との接合面に至る溝4を形成する。

【0015】この後、このシリコン酸化膜5をマスクとしてP型不純物を拡散し、溝4にP⁺の拡散層6を設ける。このP⁺拡散層6により後述するピエゾ抵抗層と周辺素子とが電気的に分離される。

40 【0016】次に、図4に示すように、熱酸化により溝4内を含む単結晶シリコン基板3の表面に厚さ1μmのシリコン酸化膜7を形成する。このとき、溝4の内壁が両側から酸化されるため、熱酸化により溝4内がシリコン酸化膜7で満たされる。又、単結晶シリコン基板3の厚さは5μmになる。

50 【0017】そして、図5に示すように、フォトリソ技術により単結晶シリコン基板3の素子形成領域A以外のシリコン酸化膜7を除去する。さらに、残った素子形成領域Aのシリコン酸化膜7をエッチングマスクとして素子形成領域A以外の単結晶シリコン3をKOH、EPW

等のアルカリ溶液によりエッチングする。このとき、アルカリエッチングはシリコンの面方位によりエッチング速度が異なり、例えば、 $\langle 111 \rangle$ 面は $\langle 100 \rangle$ 面に対し数100分の1となる。これにより、単結晶シリコン基板2が露出した時点でエッチングが停止する。

【0018】尚、単結晶シリコン基板2と単結晶シリコン基板3を接合する際、接合界面にシリコン酸化膜を形成し、このシリコン酸化膜を介して接合させてもよい。この場合には、シリコン酸化膜が露出することによっても単結晶シリコン基板3のエッチングは停止する。

【0019】次に、図6に示すように、単結晶シリコン基板2上にN型のエピタキシャル層8を厚さ10 μ m以上形成する。その後、図7に示すように、鏡面研磨によりエピタキシャル層8の表面を所定量除去して表面が平坦な状態で、シリコン酸化膜7を露出させる。

【0020】その後、図1に示すように、単結晶シリコン基板3の上面のシリコン酸化膜7をフッ酸により除去し、さらに、エピタキシャル層8の上面を研磨して単結晶シリコン基板3の上面とエピタキシャル層8の上面とを同一面とする。その後、単結晶シリコン基板1の裏面側からKOH等のエッチング液を用いて異方性エッチングを行い、単結晶シリコン基板2、3によるダイヤフラムが形成される。そして、単結晶シリコン基板3（ダイヤフラム）にビエゾ抵抗層9を4つ形成しブリッジ回路を形成する。さらに、エピタキシャル層8にバイポーラトランジスタ10、11よりなる温度補償回路等の周辺回路を形成する。さらに、配線層12等が形成されて、半導体圧力センサが完成する。

【0021】そして、圧力測定の際には、ダイヤフラムに加わる圧力をビエゾ抵抗層9にて電気的に変換して、バイポーラトランジスタ10、11を含む周辺回路にて温度補償及び増幅されて取り出される。

【0022】このように、本実施形態の半導体圧力センサにおいては、 $\langle 111 \rangle$ 面を有する単結晶シリコン基板2の平滑面に、この単結晶シリコン基板2の平滑面の一部が露出する状態で $\langle 110 \rangle$ 面を有する単結晶シリコン基板3を接合し、単結晶シリコン基板2の平滑面上にエピタキシャル成長層8を所定量除去して、表面が平滑な状態で、バイポーラトランジスタ形成領域となる単結晶シリコン基板3とを露出させた。

【0023】その結果、基板表面に露出し、バイポーラトランジスタ形成領域となる $\langle 111 \rangle$ 面のエピタキシャル層8と、基板表面に露出し、エピタキシャル層8の面方位とは異なる $\langle 110 \rangle$ 面を有し、かつ、ビエゾ抵抗層形成領域となる単結晶シリコン基板3とを備え、バイポーラトランジスタ形成領域とビエゾ抵抗形成領域とが溝4により分離されてなる半導体圧力センサが製造される。

【0024】この装置においては、 $\langle 110 \rangle$ 面の単結晶シリコン基板3にはビエゾ抵抗層9が形成されるとと

もに、 $\langle 111 \rangle$ 面のエピタキシャル層8にはバイポーラトランジスタ10、11が形成できる。

【0025】即ち、ビエゾ抵抗層9がデバイス特性に優れた $\langle 110 \rangle$ 面に配設できるとともにバイポーラトランジスタ10、11がデバイス特性に優れた $\langle 111 \rangle$ 面に配設できる。そして、これらビエゾ抵抗層9とバイポーラトランジスタ10、11とが溝4を介して配設できる。

【0026】このようにして、ビエゾ抵抗層と周辺回路（バイポーラトランジスタ）の各素子の最高の性能を引き出させることができ、かつ溝を介した配置とすることで、インテリジェント化、高集積化に優れた半導体装置とすることができる。

【0027】又、単結晶シリコン基板3の露出部にシリコン酸化膜7を形成し、この状態でエピタキシャル層8を形成したので、単結晶シリコン基板2のみのエピタキシャル層8が形成され結晶方位の乱れがない。つまり、シリコン酸化膜7がない場合には、 $\langle 111 \rangle$ の単結晶シリコン基板2からのエピタキシャル成長の途中において、 $\langle 110 \rangle$ の単結晶シリコン基板3より成長したエピタキシャル層が混在してしまい結晶の質が悪くなってしまうが、本実施形態ではそのようなことが回避される。

【0028】さらに、従来、図8に示すように、異方性エッチングを用いてダイヤフラムを形成する場合、 $\langle 110 \rangle$ 面のエッチングでは制御性よく正方形に形成することができなかったが、本実施形態では面方位が $\langle 100 \rangle$ の単結晶シリコンなので制御性よくエッチングして正方形にダイヤフラム部を形成することができる。

【0029】このように、ダイヤフラムを形成する基板と、素子を形成する基板とを貼り合わせることににより、それぞれに適した面方位を選択して貼り合わせることにによって、最適な半導体装置（本実施形態ではセンサ）を形成することができる。

【0030】また、本実施形態では、周辺回路としてバイポーラを形成したために、 $\langle 111 \rangle$ 面方位を用いたが、周辺回路としてMOSトランジスタを形成する場合には、特性上有利である $\langle 100 \rangle$ 面方位を用いることができる。

【0031】尚、この発明は上記実施形態に限定されるものではなく、半導体圧力センサ以外の他の半導体装置に具体化してもよい。

【図面の簡単な説明】

【図1】本実施形態の半導体装置を示す断面図である。

【図2】本実施形態の半導体装置の製造工程を示す断面図である。

【図3】本実施形態の半導体装置の製造工程を示す断面図である。

【図4】本実施形態の半導体装置の製造工程を示す断面図である。

Figure 1 is a schematic cross-sectional view of a semiconductor device. The device consists of a substrate with a <100> orientation. A layer 1 is on the surface. A region 2 is defined by a p+ layer 3 and a p layer 6. A layer 7 is on top of region 2. A layer 8 is on top of layer 7. The layers are labeled with crystallographic orientations: <111> N, <110>, and <111>.

フロントページの続き

(51)Int. Cl.⁷

H01L 27/06
29/04

識別記号

F I

テームート' (参考)